

Spezieller Ablauf bei Aufträgen mit Impedanzanforderungen

Aus diesem Grund gibt es in Jena für Kundenaufträge mit Impedanzforderungen in der internen Organisation eine besonderen Behandlung. Im Vorfeld der Fertigung sind besondere Prüfungen und Abstimmungen notwendig. Die Anforderungen hinsichtlich Messung und Berechnung der Impedanz, die Forderung eines Prüfprotokolls, die Behandlung des Messcoupon sowie besondere Anforderungen bestimmen schon zum Zeitpunkt der Kundenanfrage den Fertigungsdurchlauf. Anhand der Vorgaben wird die geeignete Materialauswahl aus den vorhandenen oder beschaffbaren Materialbeständen getroffen und der realisierbare Lagenaufbau (Stack-Up) ermittelt.

Eine entscheidende Besonderheit beim Basismaterial stellt die Dielektrizitätskonstante ϵ_r dar. Bei gleichem Material können sich unterschiedliche Ergebnisse für das ϵ_r ergeben. Zum einen sind unterschiedliche Werte bei verschiedenen Chargen möglich und zum anderen gibt es ebenso Differenzen bei Kernen und Prepregs. Anhand der Datenblätter der Materialhersteller gibt es zum Teil große Unterschiede zwischen Theorie und Praxis. Weiterhin verändert sich die Dielektrizitätskonstante bei unterschiedlichen Frequenzen.

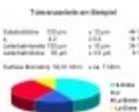
Ein weiteres Problem ist noch die Toleranz bei der Materialqualität und Maßhaltigkeit des Basismaterials. Schon geringfügige Toleranzen führen bei der Veränderung des Stack-Up zu Varianzen der Impedanz. Eine Korrektur der Parameter durch den Leiterplattenhersteller ist somit unumgänglich, um die gewünschte Impedanz zu erzielen. Die Toleranzen des Kern- bzw. Basismaterials kann der Leiterplattenhersteller generell nicht beeinflussen. Allein durch die Korrektur von verschiedenen Einflußgrößen und durch Erfahrungswerte lassen sich die geforderten Ergebnisse erzielen.

Im Vorfeld der Fertigung sind Prüfungen und ggf. Layoutkorrekturen nötig

Weitere Überprüfungen im Vorfeld der Fertigung erfolgen hinsichtlich Leiterzugsbreiten, Separation, Dielektrikumsabstände sowie Line and Space. Unter Beachtung der Produktions- und Materialtoleranzen müssen ggf. Anpassungen in Form von Weitungen oder Korrektur des Layouts und Stack Up vorgenommen werden. Nur durch diese Anpassungen, die aus dem kontinuierlichen Lernprozess resultieren, können für jede Leiterplatte reproduzierbare Fertigungsverhältnisse geschaffen werden.

Ein weiterer wichtiger Aspekt ist zum einen, das auf dem Fertigungspanel überall gleiche Verhältnisse vorliegen müssen. Zum anderen spielt die Panel-Auslastung eine entscheidende Rolle. Dieser nicht zu unterschätzende Punkt spiegelt sich auf der Kostenseite und auch in der Qualität wider. Der Grund: Die Leiterplatten sollten unter gleichen Verhältnissen hergestellt werden und zusätzlich muss auch der Testcoupon integriert werden. Ein Testcoupon ist die Nachbildung der geforderten Impedanz mit entsprechenden Leiterzugsbreiten und Lagenabständen. Er bietet die einzige Möglichkeit die simulierte Impedanz der Leiterplatte zu messen.

Ein anderer bereits erwähnter Einflußfaktor auf die theoretisch berechnete Impedanz ist die Lötstopmmaske. Diese kann je nach Lackart eine Veränderung der Dielektrizitätskonstante hervorrufen. Je nach Dicke der Lötstopmmaske sind Impedanzverluste über mehrere Ohm möglich.



Ebenfalls ein nicht zu unterschätzender Faktor ist die Schichtdickenverteilung nach dem Aufkupfern. Ein Vorteil für die Jenaer Leiterplatten GmbH stellt hier die angewendete Tenting-Technologie mit dem Panelplating dar. Hierbei lassen sich Schichtdickentoleranzen von $\pm 5 \mu\text{m}$ realisieren.

Beim Erstellen des Leiterbildes spielen ebenfalls Toleranzen durch den Ätzprozess eine wichtige Rolle. Der Zusammenhang von Schichtdicke, Ätzgeometrie und Grad der Unterätzung muss verstanden und beherrscht werden. Vor diesem Hintergrund wird im Sinne einer permanenten Qualitätskontrolle in Jena bei allen Innen- und Außenlagen eine 100%-Prüfung der Leiterzugsbreiten und -abstände mit Hilfe eines Laser-AOI der Firma Orbotech durchgeführt.

Nicht zu unterschätzen sind weiterhin die Toleranz der theoretischen und praktischen Prepreg-Stärke und die daraus resultierenden Dickentoleranzen nach dem Verpressen, die sich wiederum auf die Dielektrikumsabstände auswirken. Wenn gewünscht kann bei JLP eine 100%-Panelprüfung und eine 100%-Coupon-Archivierung erfolgen. Dies garantiert eine sichere Rückverfolgbarkeit.

Der entscheidende Faktor ist die Stabilität der Fertigungsprozesse

Die Abhandlung lässt schnell erkennen, dass für die technische Realisierbarkeit Kompromisse im Rahmen der erlaubten Toleranzen unausweichlich sind. Der entscheidende Faktor für qualitativ hochwertige Leiterplatten mit definierten Impedanzen ist die Stabilität und das Beherrschen des Fertigungsprozesses sowie die Kenntnis über die Besonderheiten der einzusetzenden Materialien. Allein die vielen Toleranzen bei den Materialien bringen eine gewisse Abhängigkeit des Leiterplattenherstellers von den Lieferanten des Basismaterials mit sich. Hinzu kommen noch die Toleranzen im Fertigungsprozess sowie zusätzlich ein geringer Messfehler beim Ermitteln der Impedanz.

Ergo: Nicht alle theoretischen Anforderungen lassen sich in der Praxis umsetzen. Oft ist es unumgänglich die CAD-Daten für die Fertigung zu korrigieren. Bei Differenzen und notwendigen Anpassungen erfolgt in jedem Fall eine Rücksprache mit dem Kunden und dessen Freigabe. Es setzt also Kompromissbereitschaft des Anwenders voraus, um ein gutes Ergebnis zu erzielen. Zeit und Kosten spart, wer sich hinsichtlich der technischen Möglichkeiten vor der Fertigung mit dem Leiterplattenhersteller abstimmt.

Die enge Zusammenarbeit und Kooperation von JLP mit der Firma Polar hat vor allem in der Anfangsphase zu einem schnellen Verständnis für impedanzkontrollierte Leiterplatten geführt. Zudem hat das konsequente Auseinandersetzen mit Impedanzen und die

Herstellung von impedanzkontrollierten Leiterplatten einen langfristigen Lern- und Erfahrungsprozess in Gang gesetzt. Mit noch sicherem Beherrschen des Fertigungsprozesses und dem Verständnis für bestimmte technologische Zusammenhänge, können die simulierten theoretischen Resultate in der Praxis reproduzierbar umgesetzt werden. Die so gewonnenen neuen Erfahrungen führen letztendlich dazu, dass alle Leiterplatten auf einem konstanten und noch höheren Qualitätsniveau hergestellt werden können.

*Christian Gärtner ist Verkaufsleiter bei der Jenaer Leiterplatten GmbH.

Redakteur: Claudia Mallok

Die Beiträge auf dieser Website sind urheberrechtlich geschützt. Bei Fragen zu den Nutzungsrechten wenden Sie sich bitte an manuela_maurer@vogel-medien.de oder Tel.: 0931-418-2888.

Bildergalerie



Messplatz für impedanzkontrollierte Leiterplatten bei Jenaer Leiterplatten



Impedanzmessgerät der Firma Polar im Einsatz beim Leiterplattenhersteller Jenaer Leiterplatten

Impedanz-Beschreibung

Klassen	Typen	Varianten
Single Ended		
Differentiell	Microstrip	→ Surface Microstrip → Surface coated Microstrip → Embedded Microstrip
Coplanar		
Differentiell-Coplanar	Stripline	→ Single Stripline → Dual Stripline

Aus Kombinationen ergeben sich viele verschiedene Strukturen

Aus der Kombination der unterschiedlichen Klassen, Typen und Varianten von Impedanzen ergeben sich verschiedene Strukturen

Faktor		Kunde	JLP	Mat.Eigenschaften
Leiterbreite	Layout	V	K	---
Separation	Layout	V	K	---
Kupferdicke	PCB-Stackup	V	K	Basis-Kupfer
Lagenabstand	PCB-Stackup	V	K	Materialstärken
ϵ_r -Wert	Material	---	---	Ja
Lötstopp	Layout+Material	V	K	Ja (ϵ_r - Wert)

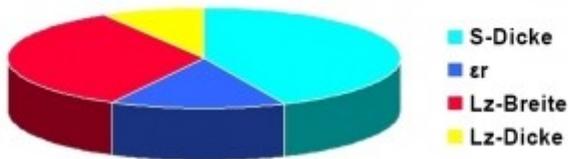
V = Vorgabe, K = Korrektur wenn nötig (Kundenrücksprache)

Verschiedene Faktoren einflussen die Impedanz. Bestimmte Faktoren muss der Leiterplattenhersteller anpassen.

Toleranzanteile am Beispiel

Substratdicke	100 μm	$\pm 10 \mu\text{m}$	44 %
ϵ_r	4,2	± 0.2	14 %
Leiterbahnbreite	150 μm	$\pm 15 \mu\text{m}$	34 %
Leiterbahndicke	35 μm	$\pm 3,5 \mu\text{m}$	8 %

Surface Microstrip 52,01 Ohm \pm ca. 7 Ohm



Die Tortengrafik verdeutlicht die verschiedenen Toleranzanteile an einem Beispiel

Dieses PDF wurde Ihnen bereitgestellt von <http://www.elektronikpraxis.vogel.de>